

Série de TD n° 4

Circuit électrique et électronique

Semestre 1 – Quadripôles, amplificateurs et diodes

Académie : OussamaTech Academy

Professeur : Prof Oussama

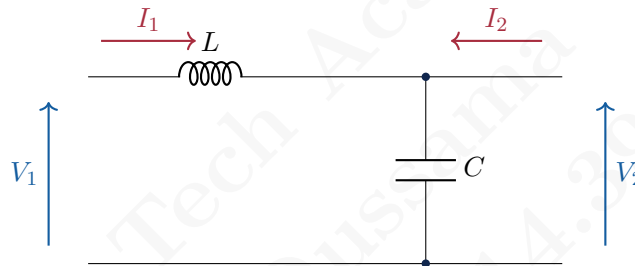
Module : Circuits électriques et électroniques

Niveau : Semestre 1 (S1)

PARTIE I – ÉNONCÉS

Exercice 1 – Paramètres d'un quadripôle LC

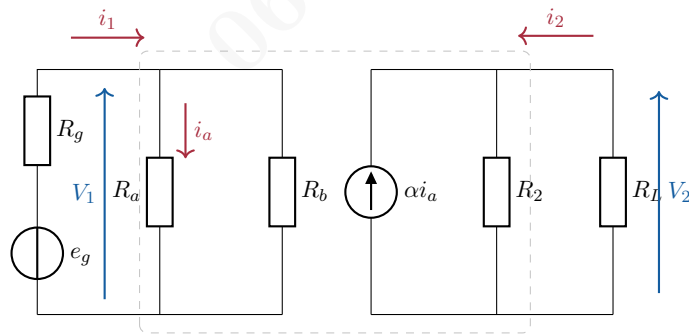
On considère le quadripôle ci-dessous. Déterminer les éléments de la matrice des impédances $\mathbf{Z}$ et de la matrice de transmission $\mathbf{T}$.



Convention : les courants I_1 et I_2 sont orientés vers l'intérieur du quadripôle.

Exercice 2 – Amplificateur à source commandée

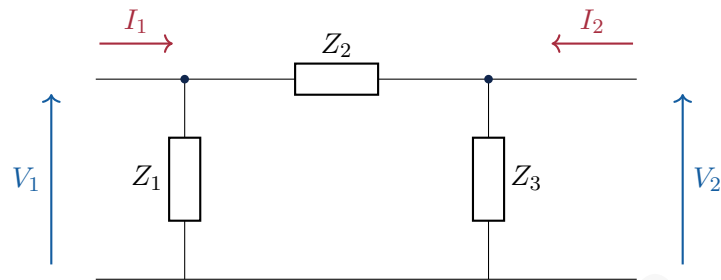
Le quadripôle ci-dessous est alimenté par un générateur de f.é.m. e_g et de résistance interne R_g .



- Calculer l'impédance d'entrée, le gain en tension, le gain en courant et l'impédance de sortie.
- Donner le schéma équivalent : impédance à l'entrée et générateur de Thévenin à la sortie. Exprimer ses éléments en fonction des données du montage.

Exercice 3 – Quadripôle à trois impédances

Pour le quadripôle suivant :

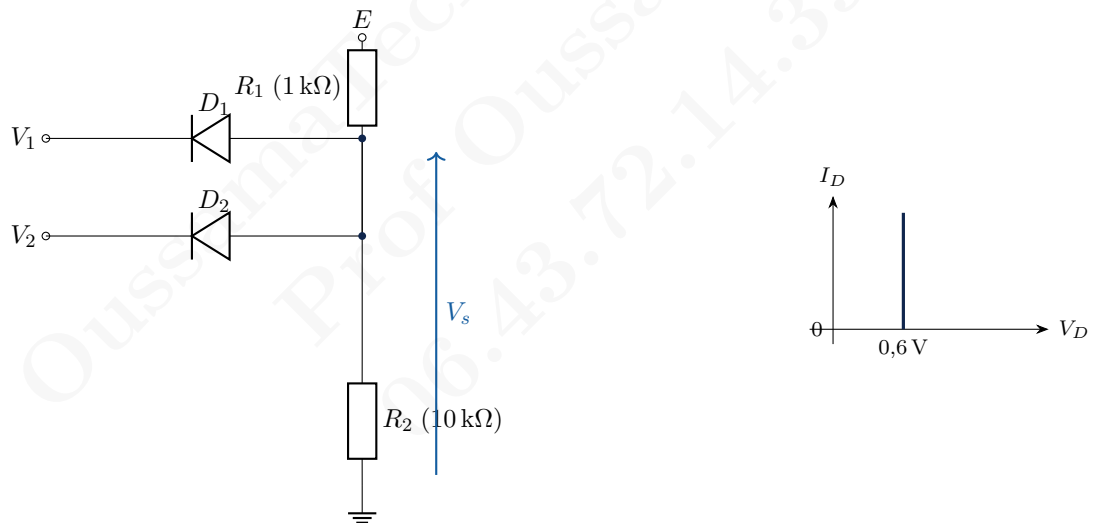


Déterminer :

1. l'impédance d'entrée quand la sortie est chargée par une impédance quelconque Z_L ;
2. l'impédance de sortie lorsqu'un générateur d'impédance interne Z_g est relié à l'entrée (générateur de tension annulé).

Exercice 4 – Fonction logique à diodes

Les deux diodes sont identiques, caractérisées par $V_{D0} = 0,6\text{ V}$ et $r_d = 0$. On donne $E = 5\text{ V}$.



1. Compléter le tableau suivant ($0 = 0\text{ V}$ et $E = 5\text{ V}$).
2. Identifier la fonction logique réalisée par le circuit.

Cas	V_1	V_2	V_s
1	0	0	
2	0	E	
3	E	0	
4	E	E	

Exercice 5 – Diodes parfaites et générateurs idéaux

Dans le montage ci-dessous, les diodes sont idéales et les générateurs parfaits.

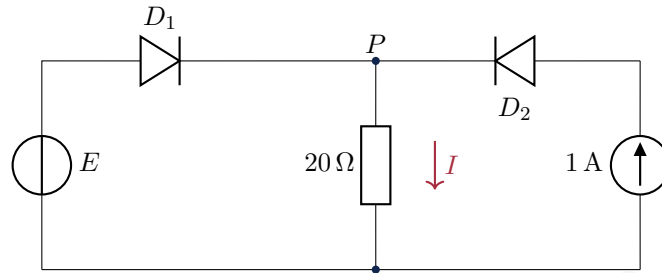
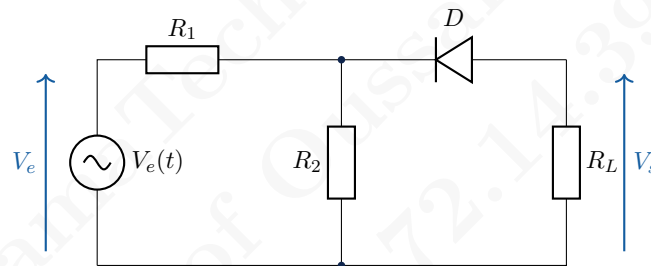


Figure – Deux diodes, une résistance de 20Ω et une source de courant de 1 A .

1. Quel est l'état de la diode D_2 ? Justifier.
2. Calculer le courant I pour $E = 10\text{ V}$, puis pour $E = 30\text{ V}$.

Exercice 6 – Écrêtage par diode

Le montage est alimenté par la tension $V_e(t) = 8 \sin(\omega t)$ en volts.

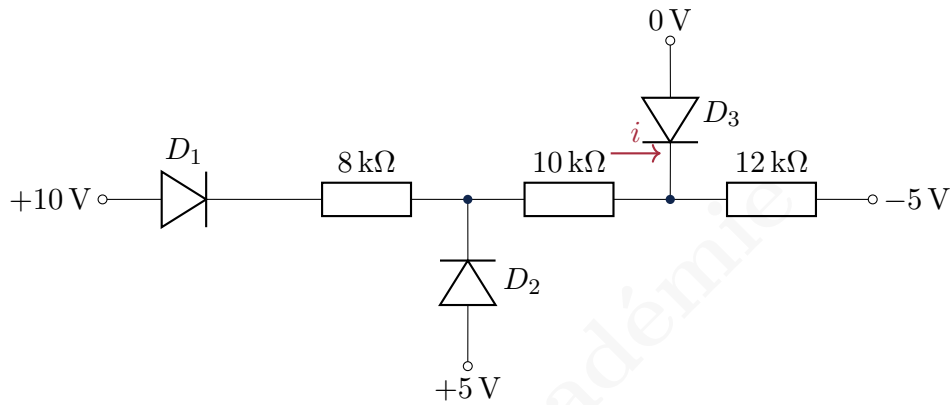
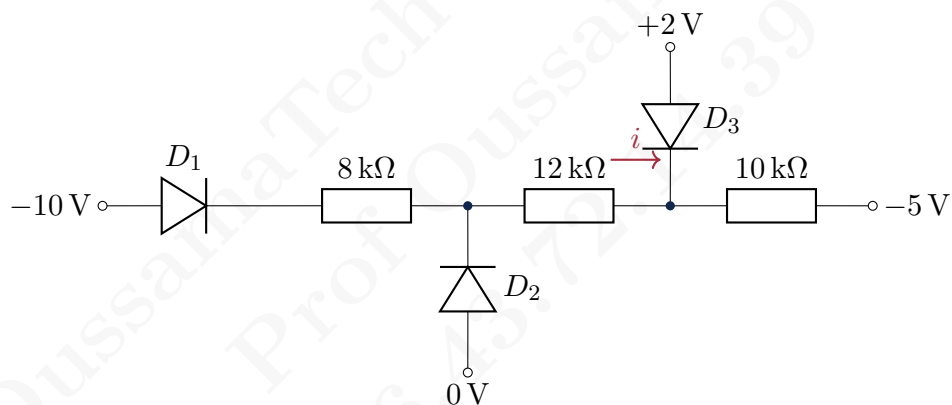


On donne $R_1 = 1\text{ k}\Omega$, $R_2 = 1\text{ k}\Omega$, $R_L = 500\Omega$ et $V_{D0} = 0,7\text{ V}$ avec $r_d = 0$.

- a) Calculer V_s lorsque la diode est bloquée.
- b) Calculer V_s lorsque la diode est passante.
- c) Déterminer les valeurs de V_e pour lesquelles la diode conduit.
- d) Tracer $V_e(t)$ et $V_s(t)$ sur un même graphe en respectant les amplitudes.
- e) Tracer la caractéristique de transfert $V_s = f(V_e)$.

Exercice 7 – États de trois diodes idéales

Les diodes sont parfaites. Pour chacun des deux montages ci-dessous, déterminer l'état de D_1 , D_2 , D_3 et calculer le courant i orienté de gauche à droite dans la résistance centrale.

Montage (a)

Montage (b)


PARTIE II – CORRIGÉS VÉRIFIÉS

Exercice 1 – Matrices $\mathbf{Z}$ et $\mathbf{T}$

On pose $Z_L = j\omega L$ et $Z_C = (j\omega C)^{-1}$.

a) **Matrice d'impédance.** Le courant dans le condensateur est $I_C = I_1 + I_2$, donc

$$V_2 = Z_C(I_1 + I_2), \quad V_1 = Z_L I_1 + V_2 = (Z_L + Z_C)I_1 + Z_C I_2.$$

$$\mathbf{Z} = \begin{pmatrix} j\omega L + \frac{1}{j\omega C} & \frac{1}{j\omega C} \\ \frac{1}{j\omega C} & \frac{1}{j\omega C} \end{pmatrix}$$

b) **Matrice de transmission.** On adopte la convention usuelle

$$\begin{pmatrix} V_1 \\ I_1 \end{pmatrix} = \mathbf{T} \begin{pmatrix} V_2 \\ -I_2 \end{pmatrix}.$$

La loi des noeuds donne $I_1 = j\omega C V_2 - I_2$. La loi des mailles donne alors

$$V_1 = V_2 + j\omega L I_1 = (1 - \omega^2 LC) V_2 - j\omega L I_2.$$

$$\mathbf{T} = \begin{pmatrix} 1 - \omega^2 LC & j\omega L \\ j\omega C & 1 \end{pmatrix}, \quad \det \mathbf{T} = 1$$

Précision / vérification

La matrice $\mathbf{T}$ suppose le courant de sortie $-I_2$ orienté dans le sens de transmission. Les deux courants du schéma sont quant à eux *entrants* pour le calcul de $\mathbf{Z}$.

Exercice 2 – Amplificateur à source commandée

Posons $R_e = R_a \parallel R_b = \frac{R_a R_b}{R_a + R_b}$.

a) **Impédance d'entrée, gains et impédance de sortie.** Aucune liaison galvanique n'existe entre les deux ports :

$$Z_e = \frac{V_1}{i_1} = R_a \parallel R_b, \quad i_a = \frac{V_1}{R_a}, \quad V_2 = \alpha i_a (R_2 \parallel R_L).$$

Le gain en tension chargé est

$$A_v = \frac{V_2}{V_1} = \alpha \frac{R_2 \parallel R_L}{R_a} = \frac{\alpha R_2 R_L}{R_a (R_2 + R_L)}.$$

Le courant débité dans la charge $i_L = V_2 / R_L$ vaut

$$i_L = \alpha i_a \frac{R_2}{R_2 + R_L}, \quad \frac{i_a}{i_1} = \frac{R_b}{R_a + R_b}.$$

$$\frac{i_L}{i_1} = \alpha \frac{R_2}{R_2 + R_L} \frac{R_b}{R_a + R_b}, \quad Z_s = R_2$$

Précision / vérification

Sur le schéma, i_2 est fléché vers l'intérieur du quadripôle : $i_2 = -i_L$. Avec la définition $A_i = i_2/i_1$ le gain est donc l'opposé de l'expression positive encadrée (qui correspond à i_L/i_1). Ce choix de convention explique la différence de signe possible avec les notes manuscrites.

b) Équivalents demandés. À l'entrée : $Z_e = R_a \parallel R_b$. À la sortie (charge débranchée) :

$$E_{Th} = \alpha R_2 i_a, \quad i_a = \frac{V_1}{R_a} = \frac{R_e}{R_a(R_g + R_e)} e_g.$$

$$E_{Th} = \alpha \frac{R_2 R_e}{R_a(R_g + R_e)} e_g, \quad R_{Th} = R_2$$

Si le générateur d'entrée est idéal ($R_g = 0$), alors $E_{Th} = \alpha(R_2/R_a)e_g$.

Exercice 3 – Quadripôle à trois impédances

1) Impédance d'entrée avec la charge Z_L . Depuis le port d'entrée, on voit Z_1 en parallèle avec une branche série composée de Z_2 et de $Z_3 \parallel Z_L$:

$$Z_e = Z_1 \parallel [Z_2 + (Z_3 \parallel Z_L)]$$

2) Impédance de sortie avec un générateur d'impédance interne Z_g . La source de tension d'entrée est annulée (court-circuitée) mais Z_g reste branchée.

$$Z_s = Z_3 \parallel [Z_2 + (Z_1 \parallel Z_g)]$$

On rappelle que $A \parallel B = \frac{AB}{A+B}$.

Exercice 4 – Porte logique à diodes

1) Tableau de vérité en tension. Si $V_1 = 0$ ou $V_2 = 0$, la diode correspondante est polarisée directement et impose $V_s \simeq 0,6 \text{ V}$. Si les deux entrées valent E , les diodes sont bloquées ; le diviseur R_1, R_2 fournit

$$V_s = E \frac{R_2}{R_1 + R_2} = 5 \frac{10}{1+10} = \frac{50}{11} \simeq 4,55 \text{ V}.$$

Cas	V_1	V_2	État des diodes	V_s
1	0	0	D_1, D_2 passantes	0,6 V
2	0	E	D_1 passante, D_2 bloquée	0,6 V
3	E	0	D_1 bloquée, D_2 passante	0,6 V
4	E	E	D_1, D_2 bloquées	4,55 V

2) Fonction logique. Avec 0,6 V considéré niveau logique bas et 4,55 V niveau haut :

$$S = A \wedge B$$

Porte logique ET (AND)

Exercice 5 – États des diodes et courant

1) État de D_2 . Le générateur de courant impose 1 A dans la branche droite. Son courant ne peut circuler que de la droite vers le noeud P à travers D_2 : D_2 est passante.

2) Cas $E = 10\text{ V}$. Si D_1 était passante, $V_P = 10\text{ V}$ et $I = V_P/20 = 0,5\text{ A}$. Il faudrait alors $I_{D_1} = I - 1\text{ A} = -0,5\text{ A}$, ce qui est impossible pour une diode idéale orientée vers P . Donc D_1 est bloquée : le courant imposé par la source traverse seul la résistance.

$$D_1 : \text{bloquée}; \quad D_2 : \text{passante}; \quad I = 1\text{ A}$$

Vérification : $V_P = 20\text{ V} > E = 10\text{ V}$, donc D_1 est bien polarisée en inverse.

3) Cas $E = 30\text{ V}$. Si les deux diodes conduisent, $V_P = E = 30\text{ V}$ et

$$I = \frac{V_P}{20\ \Omega} = \frac{30}{20} = 1,5\text{ A}, \quad I_{D_1} = I - 1\text{ A} = 0,5\text{ A} > 0.$$

$$D_1 : \text{passante}; \quad D_2 : \text{passante}; \quad I = 1,5\text{ A}$$

Exercice 6 – Écrêteur : conduction et signaux

a) Diode bloquée. La branche de sortie est ouverte côté diode ; elle est reliée à la masse par R_L . Ainsi :

$$V_s = 0$$

b) Diode passante. Le diviseur d'entrée, vu de la diode, possède

$$E_{\text{Th}} = \frac{R_2}{R_1 + R_2} V_e = \frac{V_e}{2}, \quad R_{\text{Th}} = R_1 \parallel R_2 = 500\ \Omega.$$

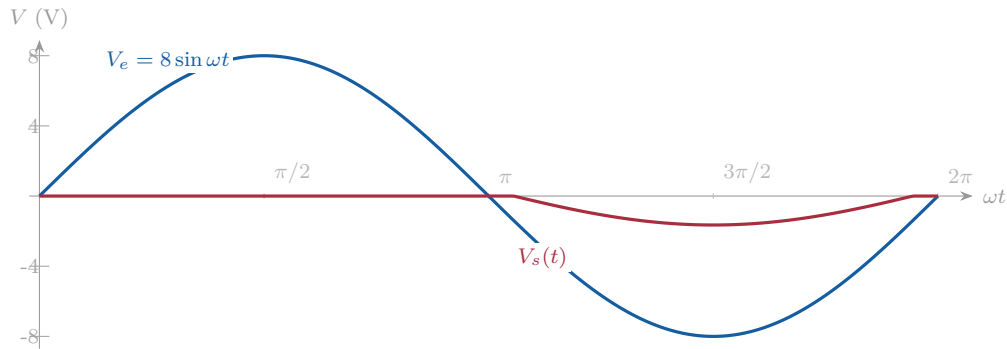
La diode conduit de la *droite vers la gauche*, avec une chute de 0,7 V. En notant $i_D > 0$ vers la gauche, on a $i_D = -V_s/R_L$ et

$$V_s = E_{\text{Th}} + R_{\text{Th}} i_D + V_{D0} = \frac{V_e}{2} - \frac{R_{\text{Th}}}{R_L} V_s + 0,7.$$

$$V_s = \frac{R_L}{R_{\text{Th}} + R_L} \left(\frac{V_e}{2} + 0,7 \right) = 0,25V_e + 0,35 \quad (\text{V})$$

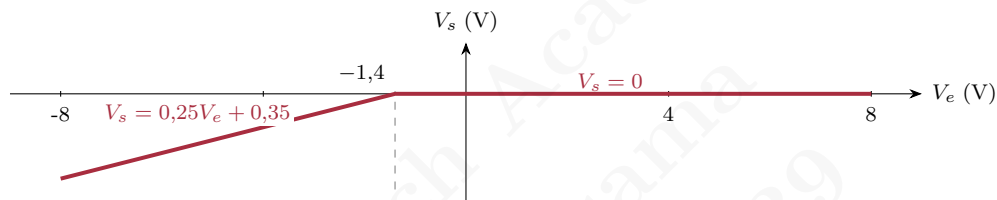
c) Condition de conduction. $i_D > 0$ implique $V_s < 0$, donc $0,25V_e + 0,35 < 0$, soit $V_e < -1,4\text{ V}$.

$$V_s(V_e) = \begin{cases} 0, & V_e \geq -1,4\text{ V}, \\ 0,25V_e + 0,35, & V_e < -1,4\text{ V}. \end{cases}$$

d) Tracé temporel pour $V_e(t) = 8 \sin \omega t$.


En bleu : entrée $V_e(t)$; en rouge : sortie $V_s(t)$; échelle commune en volts.

Le niveau de sortie le plus négatif vaut $V_{s,\min} = 0,25(-8) + 0,35 = -1,65 \text{ V}$.

e) Caractéristique statique.


Caractéristique $V_s = f(V_e)$, seuil de commutation à $V_e = -1,4 \text{ V}$.

Exercice 7 – Trois diodes idéales

a) Montage (a). On examine l'hypothèse D_1 passante, D_2, D_3 bloquées. Les trois résistances sont en série entre $+10 \text{ V}$ et -5 V :

$$i = \frac{10 - (-5)}{(8 + 10 + 12) \times 10^3} = 0,5 \text{ mA}.$$

Les potentiels des noeuds sont

$$V_B = 10 - (0,5 \text{ mA})(8 \text{ k}\Omega) = +6 \text{ V}, \quad V_C = 6 - (0,5 \text{ mA})(10 \text{ k}\Omega) = +1 \text{ V}.$$

D_2 a son anode à $+5 \text{ V}$ et sa cathode à $+6 \text{ V}$: elle est bloquée. D_3 a son anode à 0 V et sa cathode à $+1 \text{ V}$: elle est bloquée. L'hypothèse est donc vérifiée.

$$D_1 : \text{ON}; \quad D_2 : \text{OFF}; \quad D_3 : \text{OFF} \quad i = 0,5 \text{ mA}$$

b) Montage (b). On pose D_3 passante, D_1, D_2 bloquées. Le noeud droit est fixé à $+2 \text{ V}$ par D_3 , et le courant dans $10 \text{ k}\Omega$ vaut

$$I_{10k} = \frac{2 - (-5)}{10 \text{ k}\Omega} = 0,7 \text{ mA}.$$

La branche de gauche est ouverte : le courant dans la résistance de $12 \text{ k}\Omega$ est nul, donc le noeud central est aussi à $+2 \text{ V}$. D_1 est bloquée ($-10 < +2$), ainsi que D_2 ($0 < +2$), ce qui valide l'hypothèse.

$$D_1 : \text{OFF}; \quad D_2 : \text{OFF}; \quad D_3 : \text{ON} \quad i = 0 \text{ A}$$